

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07274064 A**

(43) Date of publication of application: **20.10.95**

(51) Int. Cl.

**H04N 5/262**

**H04N 11/04**

(21) Application number: **06059118**

(22) Date of filing: **29.03.94**

(71) Applicant: **SONY CORP**

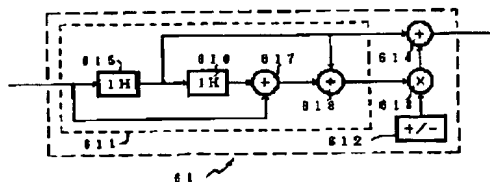
(72) Inventor:  
**OTA MASASHI**  
**KOBAYASHI HIROSHI**  
**HAMADA TOSHIMICHI**  
**YAMAMOTO SHINYA**

(54) **VIDEO SIGNAL PROCESSOR**

(57) Abstract:

**PURPOSE:** To provide a video signal processor capable of simplifying a control software in picture magnification/reduction processings for which the scale of a hardware is reduced.

**CONSTITUTION:** The filter coefficient generation circuit 612 of a first signal processing circuit 61 is linked with the operating mode of a second signal processing circuit, generates the positive filter coefficient of a value corresponding to a magnification ratio at the time of a magnification processing mode and generates the negative filter coefficient of the value corresponding to a reduction ratio at the time of a reduction processing mode. A multiplier 613 multiplies high-band signals in input video signals taken out by a high-pass filter 611 with the filter coefficient supplied from the filter coefficient generation circuit 612. An adder 614 adds the input video signals and multiplied output by the multiplier 613 and outputs filtering-processed video signals to the second signal processing circuit. The second signal processing circuit performs the magnification/reduction processings to the input video signals supplied through the first signal processing circuit.



COPYRIGHT: (C)1995,JPO

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-274064

(43)公開日 平成7年(1995)10月20日

(51)Int.Cl.<sup>9</sup>

H 0 4 N 5/262  
11/04

識別記号

庁内整理番号

F I

技術表示箇所

Z 9185-5C

審査請求 未請求 請求項の数3 O L (全 14 頁)

(21)出願番号 特願平6-59118

(22)出願日 平成6年(1994)3月29日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 太田 正志

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 小林 博

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 横田 敏道

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74)代理人 弁理士 小池 晃 (外2名)

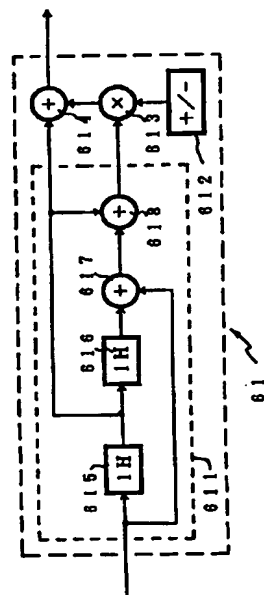
最終頁に続く

(54)【発明の名称】 映像信号処理装置

(57)【要約】

【目的】 画像拡大／縮小処理において、制御ソフトを簡易化することができると共に、ハードウェアの規模を削減した映像信号処理装置を提供する。

【構成】 第1の信号処理回路61のフィルタ係数発生回路612は、第2の信号処理回路の動作モードに連動して、拡大処理モード時には拡大率に応じた値の正のフィルタ係数を発生し、縮小処理モード時には縮小率に応じた値の負のフィルタ係数を発生する。乗算器613は、ハイパスフィルタ611により取り出された入力映像信号中の高域信号に上記フィルタ係数発生回路612により与えられたフィルタ係数を乗算する。加算器614は、入力映像信号と上記乗算器613による乗算出力とを加算してフィルタリング処理済みの映像信号を第2の信号処理回路に出力する。上記第2の信号処理回路は、上記第1の信号処理回路を介して供給される入力映像信号に拡大／縮小処理を施す。



## 【特許請求の範囲】

【請求項1】 入力映像信号にフィルタリング処理を施す第1の信号処理回路と、

上記第1の信号処理回路を介して供給される入力映像信号に拡大／縮小処理を施す第2の信号処理回路とから成る映像信号処理装置であって、

上記第1の信号処理回路は、

入力映像信号が供給されるハイパスフィルタと、

上記第2の信号処理回路の動作モードに連動して、拡大処理モード時には拡大率に応じた値の正のフィルタ係数を発生し、縮小処理モード時には縮小率に応じた値の負のフィルタ係数を発生するフィルタ係数発生回路と、

上記ハイパスフィルタにより取り出された入力映像信号中の高域信号に上記フィルタ係数発生回路により与えられたフィルタ係数を乗算する乗算器と、

入力映像信号と上記乗算器による乗算出力とを加算してフィルタリング処理済みの映像信号を出力する加算器とから成ることを特徴とする映像信号処理装置。

【請求項2】 上記第2の信号処理回路は、

入力映像信号に対し、4点の原画素データをA, B, C, Dとし、補間係数を $\alpha$ ,  $\beta$ として、

$$Z_1 = \alpha (B - A) + A$$

$$Z_2 = \alpha (D - C) + C$$

$$Z = \beta (Z_2 - Z_1) + Z_2$$

なる演算により補間データZを求める共一次内挿処理手段から成ることを特徴とする請求項1記載の映像信号処理装置。

【請求項3】 入力映像信号を記憶する記憶手段と、

上記記憶手段に記憶された入力映像信号に拡大／縮小処理を施す信号処理回路とから成る映像信号処理装置であって、

上記信号処理回路は、

上記記憶手段に記憶されている入力映像信号に対し、4点の原画素データをA, B, C, Dとし、補間係数を $\alpha$ ,  $\beta$ として、

上記原画素データAと上記原画素データBに対して、

$$Z_1 = \alpha (B - A) + A$$

なる演算により演算データZ<sub>1</sub>を求めて出力する第1の演算部と、

上記原画素データCと上記原画素データDに対して、

$$Z_2 = \alpha (D - C) + C$$

なる演算により演算データZ<sub>2</sub>を求めて出力する第2の演算部と、

上記第1の演算部から供給される演算データZ<sub>1</sub>と上記第2の演算部から供給される演算データZ<sub>2</sub>に対して、

$$Z = \beta (Z_2 - Z_1) + Z_2$$

なる演算により補間データZを求めて出力する第3の演算部とから成り、共一次内挿により上記補間データZを求めることを特徴とする映像信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像拡大、及び、画像縮小機能を有する映像信号処理装置に関するものであり、特に、共一次内挿法による画像拡大、及び、画像縮小処理を施す映像信号処理装置に関するものである。

【0002】

【従来の技術】例えば、スタジオにおいて、カメラ、ビデオテープレコーダー、静止画装置、電子画像生成装置、他スタジオからの入力中継素材等、これらを切換え、混合、或は、文字スーパーを行いながら付加価値を付けて加工し、完成した番組を制作する装置である映像副調整装置、所謂スイッチャがある。また、上記スイッチャには、多数の入力を持ち、多数のデジタル特殊効果装置を備えるものがある。上記デジタル特殊効果装置の機能の一つとして、画像を拡大、縮小する電子ズーム機能があり、その信号処理は、フレームメモリを基本として高速マイクロプロセッサにより行われる。

【0003】上記デジタル特殊効果装置において画像の拡大、縮小を行う場合、映像信号処理装置では、デジタル化処理、ビデオ信号処理等が施された映像信号に、画像拡大時にはエッジ強調が、或は、画面縮小時には画面縮小時の折り返しによる画質劣等防止のためのプリフィルタ処理が施される。そして、上述のようなフィルタリング処理が施された映像信号に、共一次内挿法(Bilinear)による補間が行われ、画像の拡大、或は、縮小した映像信号が生成される。

【0004】上記画像縮小時(以下、縮小処理モードと言う。)のエッジ強調、及び、画像拡大時(以下、拡大処理モードと言う。)のプリフィルタ処理は、各々独立した信号処理回路で行っている。

【0005】例えば、垂直方向の信号処理を行う場合、上記信号処理回路は、図12に示すように、プリフィルタ回路210とエッジ強調回路220とで構成されている。

【0006】上記プリフィルタ回路210は、映像信号が入力される入力端子211と、上記入力端子211を介して入力された映像信号を1走査線(以下、Hと言う。)ディレイさせる第1、第2のディレイ回路214, 215と、上記第1のディレイ回路214と第2のディレイ回路215を介して出力される2Hディレイした映像信号と上記入力端子211を介して入力される映像信号とを加算する加算器216と、上記第1のディレイ回路214からの1Hディレイした映像信号と上記加算器216からの映像信号とを加算する加算器217と、上記加算器217による加算出力をプリフィルタ処理を施した映像信号として出力する出力端子212と、上記第1のディレイ回路214からの映像信号を出力する出力端子213とで構成されている。

【0007】また、上記エッジ強調回路220は、図示していないマイクロコンピュータ(以下、マイコンと言

う。)の制御により、拡大処理モード、或は、縮小処理モードの処理モードに応じて上記出力端子212、或は、上記出力端子213との接続を切換えるスイッチ221と、上記スイッチ221を介して供給された映像信号を1Hディレイさせる第1、第2のディレイ回路224、225と、上記第1のディレイ回路224と第2のディレイ回路225を介して出力される2Hディレイした映像信号と上記スイッチ221を介して入力される映像信号とを加算する加算器226と、上記第1のディレイ回路224からの1Hディレイした映像信号と上記加算器226からの映像信号とを加算する加算器227と、上記加算器227からの映像信号に処理モードに応じた係数を乗算する乗算器222と、上記第1のディレイ回路224からの1Hディレイした映像信号と上記乗算器222からの映像信号を加算する加算器228と、上記加算器228による加算出力をフィルタリング処理を施した映像信号として出力する出力端子223とで構成されている。

【0008】上記プリフィルタ回路210の動作について説明する。

【0009】入力端子211を介して入力された映像信号は、第1のディレイ回路214と加算器216に供給される。上記第1のディレイ回路214は、上記入力端子211を介して入力された映像信号を1Hディレイさせ、この映像信号を第2のディレイ回路215と加算器217に供給すると共に出力端子213を介して出力する。上記第2のディレイ回路215は、上記第1のディレイ回路214により1Hディレイされた映像信号をさらに1Hディレイさせ、その映像信号を上記加算器216に供給する。上記加算器216は、上記第1のディレイ回路214と第2のディレイ回路215を介して出力される映像信号と上記入力端子211を介して入力される映像信号とを加算する。

【0010】ここで、上記加算器216による加算出力の信号レベルは加算処理により、上記入力端子211を介して入力された映像信号のレベルに対して2倍となる。このため、上記第1のディレイ回路214からの映像信号を加算器217に供給する際に、図示していない増幅器等により上記映像信号のレベルを2倍にして加算器217に供給する。従って、上記加算器217は、同レベルの上記第1のディレイ回路214からの映像信号と上記加算器216による加算出力とを加算する。

【0011】また、上記加算器217による加算出力の信号レベルも加算処理により、さらに倍になるため、即ち、上記入力端子211を介して入力された映像信号のレベルに対して4倍となる。このため、上記加算器217による加算出力を出力端子212を介して出力する際に、図示していない減衰器等により上記加算出力の信号レベルを1/4に減衰させる。従って、上記出力端子2\*

$$Z^{-1} + K \left( (2Z^{-1} - (1 + Z^{-2})) / 4 \right)$$

\*12からは、入力端子211を介して入力される映像信号のレベルと同レベルの映像信号が出力される。

【0012】上述のような構成をしたプリフィルタ回路210は、式6で表すことができる。

$$\begin{aligned} & ((1 + Z^{-2}) + 2Z^{-1}) / 4 \\ & = (1 + Z^{-1})^2 / 4 \quad \dots \text{式6} \end{aligned}$$

【0013】次に、上記エッジ強調回路220における動作について説明する。

【0014】例えば、拡大処理モードの場合、マイコンの制御によりスイッチ221は、プリフィルタ回路210の出力端子213に接続される。即ち、エッジ強調回路220にはプリフィルタ処理が施されていない映像信号が供給される。

【0015】上記スイッチ221を介して入力された映像信号は、第1のディレイ回路224と加算器226とに供給される。上記第1のディレイ回路224は、上記スイッチ221を介して入力された映像信号を1Hディレイさせ、その映像信号を第2のディレイ回路225と加算器227と加算器228に各々供給する。上記第2のディレイ回路225は、上記第1のディレイ回路224からの1Hディレイした映像信号をさらに1Hディレイさせ、その映像信号を上記加算器226に供給する。上記加算器226は、第2のディレイ回路225からの2Hディレイした映像信号と上記スイッチ221を介して入力される映像信号とを加算する。

【0016】ここで、上記プリフィルタ回路210における加算出力の信号レベルの調整と同様に、上記第1のディレイ回路224からの映像信号を加算器227に供給する際に、図示していない増幅器等により上記映像信号のレベルを2倍にして加算器227に供給する。従って、上記加算器227は、同レベルの上記第1のディレイ回路224からの映像信号と上記加算器226による加算出力とを加算する。また、上記加算器227による加算出力を乗算器222に供給する際に、図示していない減衰器等により上記加算出力の信号レベルを1/4に減衰させる。従って、上記乗算器222には、上記スイッチ221を介して入力される映像信号のレベルと同レベルの映像信号が供給される。

【0017】上記乗算器222は、上記加算器227からの映像信号にフィルタ係数Kを乗算する。ここで、上記フィルタ係数Kは、エッジ強調のレベルで正の値となる。上記加算器228は、第1のディレイ回路224からの1Hディレイした映像信号と上記乗算器222による乗算出力とを加算する。上記加算器228による加算出力は、出力端子223を介してフィルタリング処理が施された映像信号として出力される。

【0018】従って、上述のような構成をしたエッジ強調回路220は、式7で表すことができる。

$$=Z^{-1}+K(- (1-Z^{-1})^2/4)$$

・・・式7

【0019】また、縮小処理モードの場合は、プリフィルタ回路210の出力端子212に接続される。従って、エッジ強調回路220にはプリフィルタ処理を施した映像信号が供給される。この場合の動作も上述した拡大処理モードの場合と同様であるが、乗算器222において、入力される映像信号のレベルはエッジ強調のレベルでないためフィルタ係数Kの値はゼロとなる。従って、プリフィルタ処理のみを施した映像信号が出力端子223を介して出力される。

【0020】上述のようにしてフィルタリング処理が施された映像信号は、共一次内挿法による補間が行われ、画像の拡大、或は、縮小した映像信号が生成される。

【0021】上記共一次内挿法とは、例えば、図13に示すように、補間データZを作る場合、上記補間データ\*

$$Z = (1-\alpha)(1-\beta)A + \alpha(1-\beta)B + \beta(1-\alpha)C + \alpha\beta D$$

・・・式8

【0023】

【発明が解決しようとする課題】しかし、上述のように、エッジ強調、及び、プリフィルタ処理を行う信号処理回路は各々独立した回路構成となっているため、各回路の動作制御等を各々独立して行わなければならない。即ち、エッジ強調回路とプリフィルタ回路とを独立に制御しなければならないため、制御ソフトが複雑になってしまっていた。

【0024】さらに、上記図12に示す構成は、垂直方向の信号処理の場合の構成であり、水平方向の信号処理の場合、上記プリフィルタ回路210の第1、第2のディレイ回路214、215、及び、上記エッジ強調回路\*

$$\begin{aligned} Z &= (1-\alpha)(1-\beta)A + \alpha(1-\beta)B + \beta(1-\alpha)C + \alpha\beta D \\ &= (1-\beta)[(1-\alpha)A+B] + \beta[(1-\alpha)C+\alpha D] \end{aligned}$$

・・・式9

【0027】即ち、従来の共一次内挿の回路構成においては、6～8個の乗算器が必要であった。ここで、ハードウェアを考慮した場合、LSI (Large Scale Integration) における乗算器はゲート数が多いため、乗算器は非常に大きいものである。このような乗算器が6～8個必要となるために、ハードウェアの規模が非常に大きくなってしまっていた。

【0028】そこで、本発明は、上述の如き従来の実情に鑑みてなされたものであり、次のような目的を有するものである。

【0029】即ち、本発明は、画像拡大/縮小処理において、補間、間引きによる画質劣化の補正回路を共通化★

$$\begin{aligned} &Z^{-1}+K(- (1-Z^{-1})^2/4) \\ &=Z^{-1}+K(-1/4+Z^{-1}/2-Z^{-2}/4) \\ &=Z^{-1}+1/4-Z^{-1}/2+Z^{-2}/4 \\ &= (1+Z^{-1})^2/4 \end{aligned}$$

・・・式1

この式1は、縮小処理モード時のプリフィルタ回路を示す上述の式6、即ち、

\* Z周辺の4点の原画素データA, B, C, Dにて線形補間する方法である。この共一次内挿法を用いて画像の縮小を行う場合、補間点、即ち、補間データZと次の補間データZpとの間隔が、原画素データの間隔、即ち、原画素データAと原画素データBの間隔よりも大きくなる。逆に、画像の拡大を行う場合、補間点は原画素データの間隔よりも狭くなる。このようにして、4点の原画素データA, B, C, Dを補間データZの周辺4点より作り、原画と同じ配置に並べ直すことにより、縮小、或は、拡大画となる。

【0022】上述のような共一次内挿法により画素の補間を行う場合、補間データZを求める式は、補間係数を $\alpha$ 、 $\beta$ として、式8の様になる。

※220の第1、第2のディレイ回路224、225の代わりに、各々ラッチ回路となるため、ハードウェアの規模が非常に大きくなってしまっていた。

【0025】また、共一次内挿法による補間を行う場合、補間データZを求める上記式8では、乗算を8回行う必要がある。従って、この式8の回路構成は、図14に示すように、乗算器230～237の8個の乗算器が必要である。

【0026】或は、上記式8は、式9の様に表すこともできるが、この式9の回路構成は、図15に示すように、乗算器240～245の6個の乗算器が必要である。

★することにより、制御ソフトを簡易化することができると共に、ハードウェアの規模を削減することができる映像信号処理装置の提供を目的とする。

【0030】また、本発明は、画像拡大/縮小等の共一次内挿による補間を行う補間回路の構成を簡易化することにより、ハードウェアの規模を削減することができる映像信号処理装置の提供を目的とする。

【0031】

【課題を解決するための手段】拡大処理モード時におけるエッジ強調回路を示す式7をフィルタ係数 $K=-1$ として展開、変形すると式1で示すことができる。

50 と、同じ式である。

【0032】即ち、エッジ強調回路を示す式7は、フィルタ係数Kの値を変化させることにより、プリフィルタ回路を示す式6となる。従って、本発明に係る映像信号処理装置では、エッジ強調とプリフィルタとを同一回路で行う。これにより、上述の課題の解決を実現する。 \*

$$\begin{aligned} Z &= (1-\alpha)(1-\beta)A + \alpha(1-\beta)B + \beta(1-\alpha)C + \alpha\beta D \\ &= (1-\beta)[(1-\alpha)A + B] + \beta[(1-\alpha)C + \alpha D] \\ &= (1-\beta)[\alpha(B-A) + A] + \beta[\alpha(D-C) + C] \end{aligned}$$

・・・式2

ここで、上記式2において、

10

$$Z_1 = \alpha(B-A) + A$$

・・・式3

$$Z_2 = \alpha(D-C) + C$$

・・・式4

と、置き換えると式5で表すことができる。

※ ※ 【0034】

$$Z = \beta(Z_2 - Z_1) + Z_2$$

・・・式5

従って、本発明に係る映像信号処理装置では、式5の演算により補間データZを求める際の乗算を3回とする。これにより、上述の課題の解決を実現する。

【0035】即ち、本発明に係る映像信号処理装置は、入力映像信号にフィルタリング処理を施す第1の信号処理回路と、上記第1の信号処理回路を介して供給される入力映像信号に拡大/縮小処理を施す第2の信号処理回路とから成る映像信号処理装置であって、上記第1の信号処理回路は、入力映像信号が供給されるハイパスフィルタと、上記第2の信号処理回路の動作モードに連動して、拡大処理モード時には拡大率に応じた値の正のフィルタ係数を発生し、縮小処理モード時には縮小率に応じた値の負のフィルタ係数を発生するフィルタ係数発生回路と、上記ハイパスフィルタにより取り出された入力映像信号中の高域信号に上記フィルタ係数発生回路により与えられたフィルタ係数を乗算する乗算器と、入力映像信号と上記乗算器による乗算出力とを加算してフィルタリング処理済みの映像信号を出力する加算器とから成ることを特徴とする。

20

\* 【0033】また、共一次内挿による画素の補間において、補間データZの周辺の4点の原画素データA、B、C、Dとし、また、補間係数を $\alpha$ 、 $\beta$ として、上記補間データZを求める式8を乗算が最も少なくなるように変形すると、式2で表すことができる。

と、上記第1の演算部から供給される演算データ $Z_1$ と上記第2の演算部から供給される演算データ $Z_2$ に対して、上述の式5の演算により補間データZを求めて出力する第3の演算部とから成り、共一次内挿により上記補間データZを求めることを特徴とする。

【0038】

【作用】本発明に係る映像信号処理装置では、第1の信号処理回路のハイパスフィルタには、入力映像信号が供給される。第1の信号処理回路のフィルタ係数発生回路は、第2の信号処理回路の動作モードに連動して、拡大処理モード時には拡大率に応じた値の正のフィルタ係数を発生し、縮小処理モード時には縮小率に応じた値の負のフィルタ係数を発生する。第1の信号処理回路の乗算器は、上記ハイパスフィルタにより取り出された入力映像信号中の高域信号に上記フィルタ係数発生回路により与えられたフィルタ係数を乗算する。第1の信号処理回路の加算器は、入力映像信号と上記乗算器による乗算出力とを加算してフィルタリング処理済みの映像信号を第2の信号処理回路に出力する。上記第2の信号処理回路は、上記第1の信号処理回路を介して供給される入力映像信号に拡大/縮小処理を施す。

30

【0039】また、本発明に係る映像信号処理装置では、上記第2の信号処理回路の共一次内挿処理手段は、入力映像信号に対し、4点の原画素データをA、B、C、Dとし、補間係数を $\alpha$ 、 $\beta$ として、上述の式3、式4、及び、式5、即ち、

$$Z_1 = \alpha(B-A) + A$$

$$Z_2 = \alpha(D-C) + C$$

$$Z = \beta(Z_2 - Z_1) + Z_2$$

なる演算により補間データZを求める。

【0040】また、本発明に係る映像信号処理装置では、記憶手段は、入力映像信号を記憶する。信号処理回路の第1の演算部は、上記記憶手段に記憶されている入力映像信号に対し、4点の原画素データをA、B、C、Dとし、補間係数を $\alpha$ 、 $\beta$ として、上記原画素データAと上記原画素データBに対して、上述の式3、即ち、

40

50

【0036】また、本発明に係る映像信号処理装置は、上記第2の信号処理回路は、入力映像信号に対し、4点の原画素データをA、B、C、Dとし、補間係数を $\alpha$ 、 $\beta$ として、上述の式3、式4、及び、式5の演算により補間データZを求める共一次内挿処理手段から成ることを特徴とする。

【0037】また、本発明に係る映像信号処理装置は、入力映像信号を記憶する記憶手段と、上記記憶手段に記憶された入力映像信号に拡大/縮小処理を施す信号処理回路とから成る映像信号処理装置であって、上記信号処理回路は、上記記憶手段に記憶されている入力映像信号に対し、4点の原画素データをA、B、C、Dとし、補間係数を $\alpha$ 、 $\beta$ として、上記原画素データAと上記原画素データBに対して、上述の式3の演算により演算データ $Z_1$ を求めて出力する第1の演算部と、上記原画素データCと上記原画素データDに対して、上述の式4の演算により演算データ $Z_2$ を求めて出力する第2の演算部

$$Z_1 = \alpha (B - A) + A$$

なる演算により演算データ $Z_1$ を求めて出力する。信号処理回路の第2の演算部は、上記原画素データCと上記原画素データDに対して、上述の式4、即ち、

$$Z_2 = \alpha (D - C) + C$$

なる演算により演算データ $Z_2$ を求めて出力する。信号処理回路の第3の演算部は、上記第1の演算部から供給される演算データ $Z_1$ と上記第2の演算部から供給される演算データ $Z_2$ に対して、上述の式5、即ち、

$$Z = \beta (Z_2 - Z_1) + Z_2$$

なる演算により補間データ $Z$ を求めて出力する。

【0041】

【実施例】以下、本発明に係る映像信号処理装置の一実施例について図面を参照しながら説明する。

【0042】本発明に係る映像信号処理装置は、図1に示すように、レンズ1と、CCD (Charge coupled device) イメージャ2と、サンプル/ホールド (以下、S/Hと言う。)・AGC (Automatic Gain Control) 回路3と、アナログ/デジタル (以下、A/Dと言う。)変換器4と、カメラ・ビデオ信号処理部5と、フィルタリング処理及び共一次内挿による拡大/縮小処理を施すメモリシステム6と、上記メモリシステムの動作を制御するマイコン7と、ビデオ信号処理部8と、デジタル/アナログ (以下、D/Aと言う。)変換器9、13と、記録アンブ10と、ビデオヘッド11とで構成されている。

【0043】まず、上述のような構成をした映像信号処理装置におけるフィルタリング処理、拡大/縮小処理について説明する。

【0044】上記メモリシステム6には、上記マイコン7から、拡大処理モード、或は、縮小処理モード、及び、その倍率等のモード情報が与えられる。このモード情報に基づいて、上記メモリシステム6は、入力映像信号にフィルタリング処理、及び、拡大/縮小処理を施す。

【0045】上記メモリシステム6は、図2に示すように、入力映像信号にフィルタリング処理を施す第1の信号処理回路61と、上記第1の信号処理回路61によりフィルタリング処理が施された映像信号を記憶する記憶手段62と、上記記憶手段62に記憶された映像信号に拡大/縮小処理を施す第2の信号処理回路63とで構成されている。

【0046】ここで、上記マイコン7からのモード情報は、上記第1の信号処理回路61と上記記憶手段62と上記第2の信号処理回路63とに各々供給される。これにより、上記第1の信号処理回路61は、上記第2の信号処理回路63の動作モードに連動してフィルタリング処理を行う。

【0047】上記第1の信号処理回路61の具体的な説明をする。

【0048】上記第1の信号処理回路61は、同一回路

で、拡大処理モード時にはプリフィルタ処理を施し、縮小処理モード時には、エッジ強調を施すものである。

【0049】即ち、第1の信号処理回路61は、図3に示すように、入力映像信号にハイパスの特性を与えるハイパスフィルタ回路611と、上記マイコン7からのモード情報に応じて拡大処理モード時には拡大率に応じた値の正のフィルタ係数を発生し、縮小処理モード時には縮小率に応じた値の負のフィルタ係数 $K$ を発生するフィルタ係数発生回路612と、上記ハイパスフィルタ回路611により取り出された入力映像信号中の高域信号に上記フィルタ係数発生回路612からのフィルタ係数 $K$ を乗算する乗算器613と、上記ハイパスフィルタ回路611からの入力映像信号と上記乗算器613による乗算出力とを加算する加算器614とで構成されている。

【0050】また、上記ハイパスフィルタ611回路は、入力映像信号に1Hディレイさせる第1、第2の1Hディレイライン回路615、616と、入力映像信号と上記第1のディレイ回路615と上記第2のディレイ回路616とを介して出力される2Hディレイされた映像信号とを加算する加算器617と、上記加算器617からの映像信号と上記第1のディレイ回路615からの1Hディレイされた映像信号とを加算する加算器618とで構成されている。

【0051】ここで、加算器617による加算出力の信号レベルは、加算処理により入力映像信号のレベルに対して2倍となる。このため、上記第1のディレイ回路615からの映像信号を加算器618に供給する際に、上記映像信号は、図示していない増幅器等により上記映像信号のレベルが2倍にされて加算器618に供給される。また、上記加算器618による加算出力の信号レベルは、さらに倍になるため、即ち、入力映像信号のレベルに対して4倍となる。このため、図示していないが、減衰器等により上記加算器618による加算出力の信号レベルを1/4に減衰してすることにより、入力映像信号のレベルと同レベルの信号を出力する。

【0052】上述のような加算処理を行うことで、上記ハイパスフィルタ回路611は、入力映像信号にハイパスの特性を与えている。

【0053】上記フィルタ係数発生回路612は、上記マイコン7からのモード情報に基づいて、フィルタ係数 $K$ の極性を切換えると共に、その処理モードの倍率に応じてフィルタ係数 $K$ の値を変化させ、拡大処理モード時には正の値のフィルタ係数 $K$ を発生し、縮小処理モード時には負の値のフィルタ係数 $K$ を発生するものである。

【0054】具体的に説明すると、図4に示すように、フィルタ係数 $K$ の値が、 $K = -1 \sim 0$ でプリフィルタとなり、0以上でエッジ強調用のバンドパスフィルタとなる。このようなフィルタ特性を利用して、上記フィルタ係数発生回路612は、モード情報に応じたフィルタ係数 $K$ を発生して、そのフィルタ係数 $K$ を乗算器613に



供給する。

【0055】上述のような構成とした第1の信号処理回路61の動作を説明する。

【0056】第1の信号処理回路61に入力された入力映像信号は、第1のディレイ回路615と加算器617とに供給される。上記第1のディレイ回路615により1Hディレイされた映像信号は、第2のディレイ回路616と加算器614と加算器618に各々供給される。ここで、上記第1のディレイ回路615から上記加算器618に供給される映像信号のレベルは、上述した増幅器等により2倍の信号レベルの映像信号となる。上記第2のディレイ回路616は、上記第1のディレイ回路615からの1Hディレイされた映像信号をさらに1Hディレイさせ上記加算器617に供給する。上記加算器617は、入力映像信号と上記第2のディレイ回路616からの2Hディレイされた映像信号とを加算する。

【0057】上記加算器618は、上記加算器617による加算出力と、上記加算出力の信号レベルと同レベルとなった上記第1のディレイ回路615からの映像信号とを加算する。上記加算器618による加算出力の信号レベルは、上述した減衰器等により、1/4に減衰することにより入力映像信号のレベルと同レベルの映像信号に戻して乗算器613に出力する。

【0058】ここで、フィルタ係数発生回路612は、マイコン7からのモード情報に応じたフィルタ係数Kを発生して上記乗算器612に供給する。上記乗算器612は、信号レベルが1/4となった上記加算器618による加算出力に上記フィルタ係数発生回路612からのフィルタ係数Kを乗算する。上記加算器614は、上記第1のディレイ回路615からの1Hディレイした映像信号と上記乗算器による乗算出力とを加算して、その加算出力をフィルタリング処理が施された映像信号として出力する。

【0059】上述のように、本実施例においては、フィルタ係数Kの極性を、上記フィルタ係数発生回路612により、拡大処理モード時には正に、縮小処理モード時には負に切り換える。即ち、上記第1の信号処理回路61は、上述の式7、即ち、

$$Z^{-1} + K \left( (2Z^{-1} - (1 + Z^{-2})) / 4 \right) \\ = Z^{-1} + K \left( - (1 - Z^{-1})^2 / 4 \right)$$

で表される。

【0060】例えば、縮小処理モードの場合において、フィルタ係数K=-1として上述の式7を展開、変形すると上述の式1、即ち、

$$Z^{-1} + K \left( - (1 - Z^{-1})^2 / 4 \right) \\ = Z^{-1} + K \left( -1/4 + Z^{-1}/2 - Z^{-2}/4 \right) \\ = Z^{-1} + 1/4 - Z^{-1}/2 + Z^{-2}/4 \\ = (1 + Z^{-1})^2 / 4$$

となる。これは、上述した縮小処理モード時のプリフィルタを示す式6と同式である。

【0061】従って、上記第1の信号処理回路61は、マイコン7からのモード情報に応じてフィルタ係数Kの極性を切換え、また、拡大/縮小の倍率に応じてフィルタ係数Kの値を変化させることにより、同一の回路で拡大処理モード時のエッジ強調と縮小処理モード時のプリフィルタを行う。これにより、上記フィルタリング処理を施すための制御ソフトを簡易化することができ、ハードウェアの規模を削減することができる。特に、垂直方向の信号処理において、エッジ強調、或は、プリフィルタ処理を施す場合、ディレイ回路の兼用ができるため、ハードウェアの規模をさらに削減することができる。また、1つの回路ブロックで縮小から拡大まで倍率に応じてスムーズな画質補正を施すことができる。

【0062】次に、上記記憶手段62の具体的な説明をする。

【0063】上記記憶手段62には、上記第1の信号処理回路からのフィルタリング処理が施された入力映像信号を一旦メモリに格納し、マイコン7からのモード情報に応じて、拡大処理モード時には上記メモリから映像信号を繰り返し読出し、縮小処理モード時には上記メモリから間引き読出しを行い、その読み出した映像信号を第2の信号処理回路63に出力するものである。

【0064】即ち、上記記憶手段62は、図4に示すように、垂直方向の映像信号の読出し制御を行うための3ポートフィールドメモリ621と、上記フィールドメモリ621へのデータの書き込みを制御するメモリライトコントローラ622と、上記フィールドメモリ621からのデータの読出しを制御するメモリリードコントローラ623と、水平方向の映像信号の読出し制御を行うためのSRAM (Static Random Access Memory) 624, 625と、上記SRAM 624, 625へのデータの書き込みを制御するメモリライトコントローラ626と、上記SRAM 624, 625からのデータの読出しを制御するメモリリードコントローラ627とで構成されている。

【0065】例えば、拡大率が2倍の画像拡大処理を行う場合の説明をする。

【0066】画像拡大処理を行う場合、フィールドメモリ621にて垂直方向の映像信号の繰り返し読出しを行う。図6に示すように、補間データZ01を得るために、メモリライトコントローラ622の制御により、ラインデータ1とラインデータ2とをフィールドメモリ621に書き込む。この時、上記メモリライトコントローラ622は、上記ラインデータ1とラインデータ2とを各々独立に制御する。同様にして、次の補間データZ02を得るために、ラインデータ1とラインデータ2を、さらに次の補間データZ03を得るために、ラインデータ2とラインデータ3をフィールドメモリ621に書き込む。このようにして、フィールドメモリ621からラインデータを読み出す場合、読出しラインデータOUT1, OU

T2が、ラインデータ1、2、1、2、2、3、2、3、3、4、3、4となるようにフィールドメモリ621全てに書き込む。

【0067】上記フィールドメモリ621に書き込まれたラインデータは、メモリリードコントローラ623の制御により、読出しラインデータOUT1はSRAM624に、読出しラインデータOUT2はSRAM625に各々読み出される。この時、上記メモリリードコントローラ623は、上記ラインデータOUT1とラインデータOUT2とを各々独立に制御する。ここで、図7に示すように、上述のようなフィールドメモリ621へのラインデータの書き込みは、フィールドメモリ621のアドレスと上記フィールドメモリ31への書き込み時間との関係が傾き1となるようなタイミングで書き込む。そして、上記フィールドメモリ621からのラインデータの読出し時は、書き込み時のフィールドメモリ621のアドレスと上記フィールドメモリ621への書き込み時間との関係が傾き1に対して、メモリのセンターSを中心に上記傾きが1/2となるようなタイミングで読み出す。このように傾き1/2でラインデータを読み出すことにより、映像信号の垂直方向を2倍に拡大する。

【0068】上述のようにして読出しラインデータOUT1、OUT2が各々読み出されるSRAM624、625においては、水平方向の映像信号の繰り返し読出し制御が行われる。図8に示すように、例えば、上記フィールドメモリ621からSRAM624に読み出されるラインデータOUT1(=ラインデータ1)において、補間データZ<sub>H01</sub>を得るために、メモリライトコントローラ626の制御により原画素データL<sub>11</sub>と原画素データL<sub>12</sub>とをSRAM624に書き込む。同様にして、次の補間データZ<sub>H02</sub>を得るために、原画素データL<sub>11</sub>と原画素データL<sub>12</sub>を、さらに次の補間データZ<sub>H03</sub>を得るために、原画素データL<sub>H12</sub>と原画素データL<sub>H13</sub>をSRAM624に書き込む。この時、SRAM625における水平方向の映像信号の繰り返し読出し制御も、上述のSRAM624における水平方向の繰り返し読出し制御と同様にして、SRAM625に原画素データが書き込まれる。

【0069】上記SRAM624、625に書き込まれた原画素データは、メモリリードコントローラ627の制御により第2の信号処理回路63に各々読み出される。この時、メモリリードコントローラ37は読出し原画素データが、L<sub>11</sub>、L<sub>12</sub>、L<sub>11</sub>、L<sub>12</sub>、L<sub>H12</sub>、L<sub>H13</sub>、L<sub>H12</sub>、L<sub>H13</sub>、L<sub>H13</sub>、L<sub>H14</sub>、L<sub>H13</sub>、L<sub>H14</sub>となるように制御する。ここで、上述のような、SRAM34、35への画素データの書き込みと、SRAM624、625からの画素データの読出しの関係は、上記図7に示したフィールドメモリ621における書き込み、読出しの関係において、時間軸の単位がフィールドから1走査線(H)に変わる以外は同様である。従って、映

像信号の垂直方向の読出しと同様に、傾き1/2で原画素データを読み出すことにより、映像信号の水平方向を2倍に拡大する。

【0070】また、例えば、縮小率が1/2倍の画像縮小処理を行う場合の説明をする。

【0071】画像拡大処理において映像信号の繰り返し読出しを行うのに対して、画像縮小処理においては、映像信号の間引き読出しを行う。図9に示すように、補間データZ<sub>010</sub>を得るために、メモリライトコントローラ622の制御により、ラインデータ1とラインデータ2をフィールドメモリ621に書き込む。同様にして、次の補間データZ<sub>011</sub>を得るために、ラインデータ3とラインデータ4を、さらに次の補間データZ<sub>013</sub>を得るために、ラインデータ5とラインデータ6をフィールドメモリ621に書き込む。このようにして、フィールドメモリ621からラインデータを読み出す場合、読出しラインデータOUT1、OUT2が、ラインデータ1、2、3、4、5、6となるようにフィールドメモリ621全てに書き込む。

【0072】上記フィールドメモリ621に書き込まれたラインデータは、メモリリードコントローラ623の制御により、読出しラインデータOUT1はSRAM624に、読出しラインデータOUT2はSRAM625に各々読み出される。ここで、図10に示すように、拡大処理時と同様に、フィールドメモリ621へのラインデータの書き込みは、フィールドメモリ621のアドレスと上記フィールドメモリ621への書き込み時間との関係が傾き1となるようなタイミングで書き込む。そして、SRAM624、625への上記ラインデータの読出し時は、書き込み時のフィールドメモリ621のアドレスと上記フィールドメモリ621への書き込み時間との関係が傾き1に対して、メモリのセンターSを中心に上記傾きが2となるようなタイミングで読み出す。このように傾き2で読み出すことにより、映像信号の垂直方向を1/2倍に縮小する。

【0073】水平方向も同様にして、映像信号の間引き読出しを行い、映像信号の水平方向を1/2倍に縮小する。

【0074】上述のようにして上記記憶手段62において、拡大処理モード、或は、縮小処理モードに応じた読出し方法で読み出された映像信号は、第2の信号処理回路63において、共一次内挿による補間が行われ拡大、或は、縮小補間画が得られる。

【0075】上記第2の信号処理回路63の具体的な説明をする。

【0076】上記第2の信号処理回路63は、上述した共一次内挿により上記記憶手段62により読み出された映像信号に補間を行い、拡大、或は、縮小した映像信号を生成する回路である。

【0077】共一次内挿により画素の補間を行う場合、

上述したように、補間データZを求める上述の式8は上述の式2、即ち、

$$\begin{aligned} Z &= (1-\alpha)(1-\beta)A + \alpha(1-\beta)B + \beta(1-\alpha)C + \alpha\beta D \\ &= (1-\beta)[(1-\alpha)A + B] + \beta[(1-\alpha)C + \alpha D] \\ &= (1-\beta)[\alpha(B-A) + A] + \beta[\alpha(D-C) + C] \end{aligned}$$

となる。

【0078】この式2を、乗算が最も少なくなるように変形する。上記式2において、上述の式3、式4、即ち、

$$Z_1 = \alpha(B-A) + A$$

$$Z_2 = \alpha(D-C) + C$$

と、置き換えると上述の式5、即ち、

$$Z = \beta(Z_2 - Z_1) + Z_2$$

のように表すことができる。

【0079】即ち、上記第2の信号処理回路63は、図11に示すように、上記記憶手段62からの入力映像信号に対し、4点の原画素データをA、B、C、Dとし、補間係数を $\alpha$ 、 $\beta$ として、上記原画素データAと上記原画素データBに対して、式3により演算データZ<sub>1</sub>を求めて出力する第1の演算部631と、上記原画素データCと上記原画素データDに対して、式4により演算データZ<sub>2</sub>を求めて出力する第2の演算部632と、上記第1の演算部631から供給される演算データZ<sub>1</sub>と上記第2の演算部632から供給される演算データZ<sub>2</sub>に対して、式5により補間データZを求めて出力する第3の演算部633とから構成されている。

【0080】第1の演算部631は、原画素データAが入力される入力端子104と、原画素データBが入力される入力端子105と、上記入力端子104を介して入力された原画素データAと上記入力端子105を介して入力された原画素データBとを加算する加算器101と、上記加算器101による加算出力に補間係数 $\alpha$ を乗算する乗算器102と、上記乗算器102による乗算出力と上記入力端子104を介して入力された原画素データAとを加算する加算器103とで構成されている。

【0081】第2の演算部632は、原画素データCが入力される入力端子114と、原画素データDが入力される入力端子115と、上記入力端子114を介して入力された原画素データCと上記入力端子115を介して入力された原画素データDとを加算する加算器111と、上記加算器111による加算出力に補間係数 $\alpha$ を乗算する乗算器112と、上記乗算器112による乗算出力と上記入力端子114を介して入力された原画素データCとを加算する加算器113とで構成されている。

【0082】第3の演算部633は、上記第1の演算部631による演算データZ<sub>1</sub>と上記第2の演算部632による演算データZ<sub>2</sub>とを加算する加算器121と、上

記加算器121による加算出力に補間係数 $\beta$ を乗算する乗算器122と、上記第1の演算部631による演算データZ<sub>1</sub>と上記乗算器122による乗算出力とを加算する加算器123とで構成されている。

【0083】上述のような構成をした上記第2の信号処理回路63の動作を説明する。

【0084】上記記憶手段62からの入力映像信号の原画素データAと原画素データBは、第1の演算部631の入力端子104、105に、また、上記入力映像信号の原画素データCと原画素データDは、第2の演算部632の入力端子114、115に各々供給される。

【0085】上記演算部631の加算器101は、入力端子104を介して入力された原画素データAと入力端子105を介して入力された原画素データBとを加算する。上記乗算器102は、上記加算器101による加算出力に補間係数 $\alpha$ を乗算する。上記加算器103は、上記乗算器102による乗算出力と上記入力端子104を介して入力された原画素データAとを加算し、その加算出力を演算データZ<sub>1</sub>として第3の演算部633に供給する。

【0086】一方、上記第2の演算部632の加算器111は、入力端子114を介して入力された原画素データCと入力端子115を介して入力された原画素データDとを加算する。上記乗算器112は、上記加算器111による加算出力に補間係数 $\alpha$ を乗算する。上記加算器113は、上記乗算器112による乗算出力と上記入力端子114を介して入力された原画素データCとを加算し、その加算出力を演算データZ<sub>2</sub>として上記第3の演算部633に供給する。

【0087】上記第3の演算部633の加算器121は、上記第1の演算部631からの演算データZ<sub>1</sub>と、上記第2の演算部632からの演算データZ<sub>2</sub>とを加算する。上記乗算器122は、上記加算器121による加算出力に補間係数 $\beta$ を乗算する。上記加算器123は、上記乗算器122による乗算出力と上記第1の演算部631からの演算データZ<sub>1</sub>とを加算して、その加算出力を補間データZとして出力する。

【0088】上述のように、共一次内挿による補間を行う第2の信号処理回路は、乗算器3個と加算器6個とで構成されている。即ち、乗算器の個数を従来に比べて3～5個削減することができる。

【0089】具体的に言うと、ここで、原画素データを8ビット、補間係数を8ビットとし、乗算器1個あたり約700ゲートとする。例えば、上述した式9においては、乗算器は6個必要であった。これを3個削減することができるので、即ち、 $700 \times 3 = 2100$ ゲート削減することができる。従って、ハードウェアの規模を削減することができる。

【0090】上述のような構成をしたフィルタリング処理を施す第1の信号処理回路61と、上記第1の信号処

理回路61によりフィルタリング処理が施された映像信号を記憶する記憶手段62と、上記記憶手段62に記憶された映像信号に拡大／縮小処理を施す第2本発明にの信号処理回路63とを備える映像信号処理装置の動作を上記図1を用いて説明する。

【0091】レンズ1を通してCCDイメージャ2に蓄えられた映像信号は、S/H、AGC回路3に供給される。上記S/H・AGC回路3は、上記CCDイメージャ2からの映像信号のレベル調整等を行い、その映像信号をA/D変換器4に供給する。上記A/D変換器4は、上記S/H・AGC回路3からの映像信号をデジタル化し、その映像信号をカメラ・ビデオ信号処理部5に供給する。上記カメラ・ビデオ信号処理部5は、上記A/D変換器4からの映像信号にガンマ、ホワイトバランス等のカメラ信号処理を施し、その映像信号をメモリシステム6に供給する。上記メモリシステム6は、上記カメラ・ビデオ信号処理部8からの映像信号にフィルタリング処理、共一次内挿による拡大、或は、縮小処理を施しビデオ信号処理部8に供給する。この時、上記メモリシステム6における拡大、或は、縮小処理は、マイコン7からのモード情報に基いて行われる。

【0092】ここで、モニタ出力モードの場合、上記ビデオ信号処理部8は、上記メモリシステム6により共一次内挿による拡大／縮小処理が施された映像信号をコンポジット映像信号として成形して、その映像信号をD/A変換器13に供給する。上記D/A変換器13は、上記ビデオ信号処理部57からの映像信号をアナログ化してモニタに出力する。

【0093】また、記録モードの場合、上記ビデオ信号処理部8は、上記メモリシステム6により共一次内挿による拡大／縮小処理が施された映像信号に、エンファシス、FM変調、低域変換等のビデオ信号処理を施して、その映像信号をD/A変換器9に供給する。上記D/A変換器9は、上記ビデオ信号処理部57からの映像信号をアナログ化して記録アンプ10に供給する。上記D/A変換器9からの映像信号は、記録アンプ10を介してビデオヘッド11に供給され、電磁変換によりテープ12に記録される。

【0094】

【発明の効果】本発明に係る映像信号処理装置では、第1の信号処理回路のハイパスフィルタには、入力映像信号が供給される。第1の信号処理回路のフィルタ係数発生回路は、第2の信号処理回路の動作モードに連動して、拡大処理モード時には拡大率に応じた値の正のフィルタ係数を発生し、縮小処理モード時には縮小率に応じた値の負のフィルタ係数を発生する。第1の信号処理回路の乗算器は、上記ハイパスフィルタにより取り出された入力映像信号中の高域信号に上記フィルタ係数発生回路により与えられたフィルタ係数を乗算する。第1の信号処理回路の加算器は、入力映像信号と上記乗算器によ

る乗算出力とを加算してフィルタリング処理済みの映像信号を第2の信号処理回路に出力する。上記第2の信号処理回路は、上記第1の信号処理回路を介して供給される入力映像信号に拡大／縮小処理を施す。従って、画像拡大／縮小処理において、補間、間引きによる画質劣化の補正回路を共通化することにより、制御ソフトを簡易化することができると共に、ハードウェアの規模を削減することができる。

【0095】また、本発明に係る映像信号処理装置では、上記第2の信号処理回路の共一次内挿処理手段は、入力映像信号に対し、4点の原画素データをA、B、C、Dとし、補間係数を $\alpha$ 、 $\beta$ として、

$$Z_1 = \alpha (B - A) + A$$

$$Z_2 = \alpha (D - C) + C$$

$$Z = \beta (Z_2 - Z_1) + Z_2$$

なる演算により補間データZを求める。従って、画像拡大／縮小等の共一次内挿による補間を行う補間回路の構成を簡易化することにより、ハードウェアの規模をさらに削減することができる。

【0096】また、本発明に係る映像信号処理装置では、記憶手段は、入力映像信号を記憶する。信号処理回路の第1の演算部は、上記記憶手段に記憶されている入力映像信号に対し、4点の原画素データをA、B、C、Dとし、補間係数を $\alpha$ 、 $\beta$ として、上記原画素データAと上記原画素データBに対して、

$$Z_1 = \alpha (B - A) + A$$

なる演算により演算データZ<sub>1</sub>を求めて出力する。信号処理回路の第2の演算部は、上記原画素データCと上記原画素データDに対して、

$$Z_2 = \alpha (D - C) + C$$

なる演算により演算データZ<sub>2</sub>を求めて出力する。信号処理回路の第3の演算部は、上記第1の演算部から供給される演算データZ<sub>1</sub>と上記第2の演算部から供給される演算データZ<sub>2</sub>に対して、

$$Z = \beta (Z_2 - Z_1) + Z_2$$

なる演算により補間データZを求めて出力する。従って、画像拡大／縮小等の共一次内挿による補間を行う補間回路の構成を簡易化することにより、ハードウェアの規模を削減することができる。

【図面の簡単な説明】

【図1】本発明に係る映像信号処理装置の構成を示す図である。

【図2】本発明に係る映像信号処理装置のメモリシステムの構成を示す図である。

【図3】本発明に係る映像信号処理装置の第1の信号処理回路の構成を示す図である。

【図4】フィルタ特性を表す図である。

【図5】本発明に係る映像信号処理装置の記憶手段の構成を示す図である。

【図6】2倍拡大処理時の垂直方向の繰り返し読出しを

説明するための図である。

【図7】垂直方向の繰り返し読出し処理時におけるメモリへの書き込み、及び、メモリからの読出しのタイミングを表す図である。

【図8】2倍拡大処理時の水平方向の繰り返し読出しを説明するための図である。

【図9】1/2倍縮小処理時の間引き読出しを説明するための図である。

【図10】垂直方向の間引き読出し処理時におけるメモリへの書き込み、及び、メモリからの読出しのタイミングを表す図である。

【図11】本発明に係る映像信号処理装置の第2の信号処理回路の構成を示す図である。

【図12】従来のフィルタリング処理を施す回路構成を示す図である。

【図13】共一次内挿を説明するための図である。

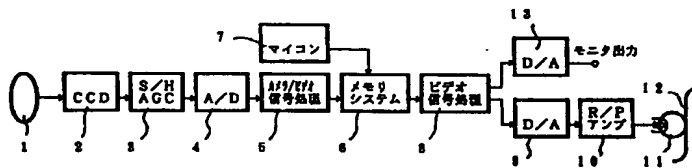
【図14】従来の加算器8個を備えた共一次内挿の回路構成を示す図である。

【図15】従来の加算器6個を備えた共一次内挿の回路構成を示す図である。

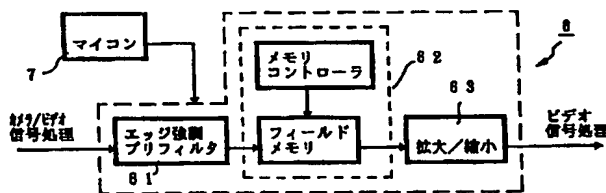
【符号の説明】

- 1 レンズ
- 2 CCDイメージャ
- 3 S/H・AGC回路
- 4 A/D変換器
- 5 カメラ/ビデオ信号処理部
- 6 メモリシステム
- 7 マイコン
- 8 ビデオ信号処理部
- 9, 13 D/A変換器
- 10 記録アンプ
- 11 磁気ヘッド
- 12 テープ
- 61 第1の信号処理回路
- 62 記憶手段
- 63 第2の信号処理回路

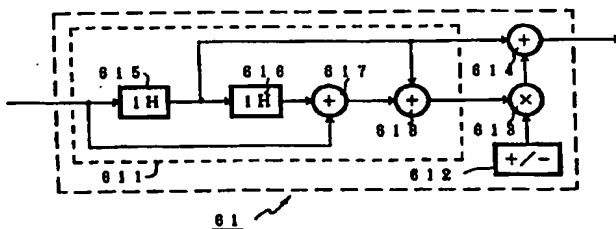
【図1】



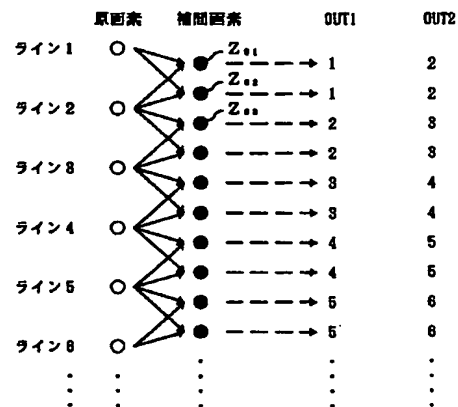
【図2】



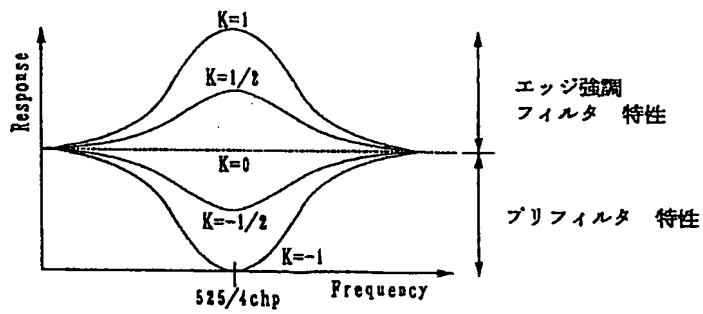
【図3】



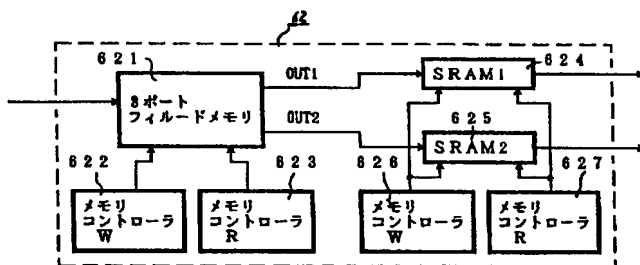
【図6】



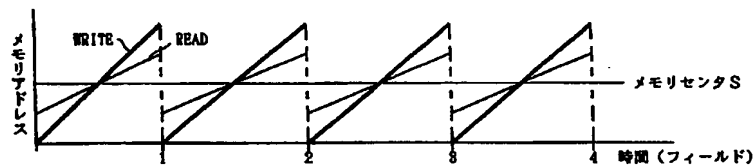
【図4】



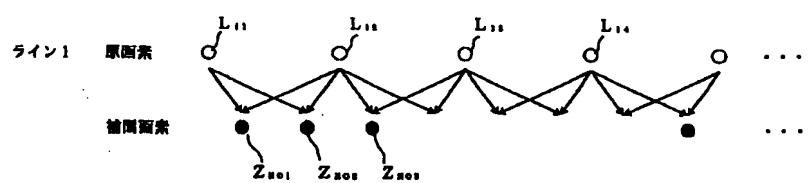
【図5】



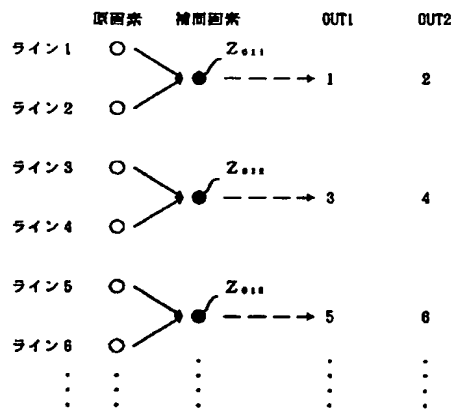
【図7】



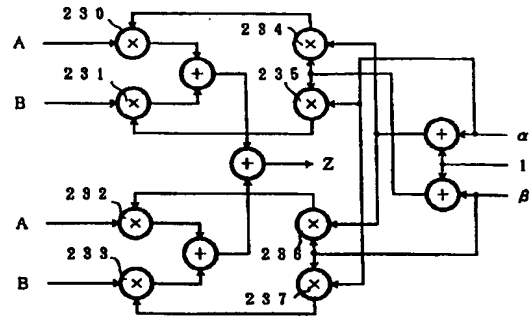
【図8】



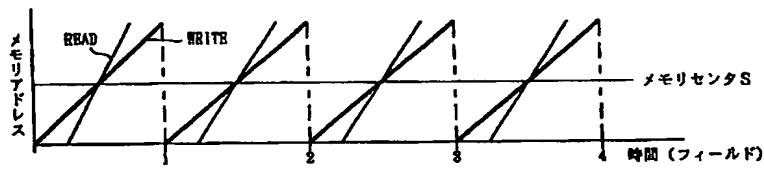
【図9】



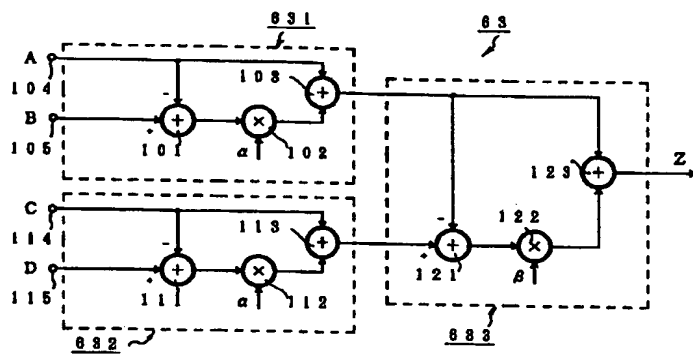
【図14】



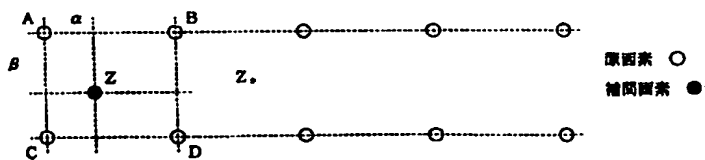
【図10】



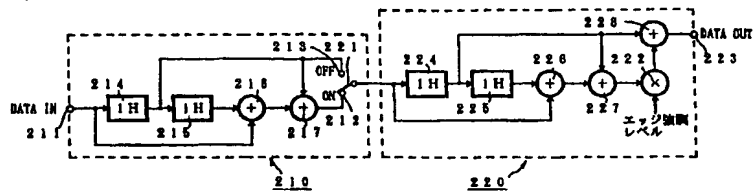
【図11】



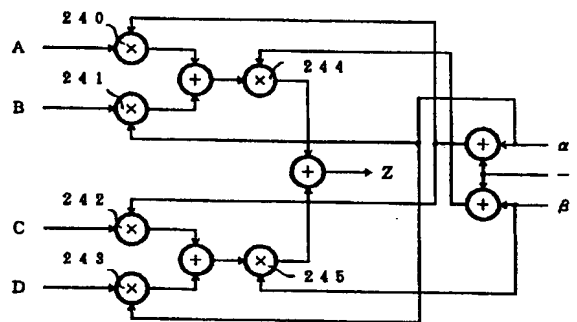
【図13】



【図12】



【図15】



フロントページの続き

(72)発明者 山本 真也

神奈川県横浜市保土ヶ谷区神戸町134 ソ  
ニーLSIデザイン株式会社内